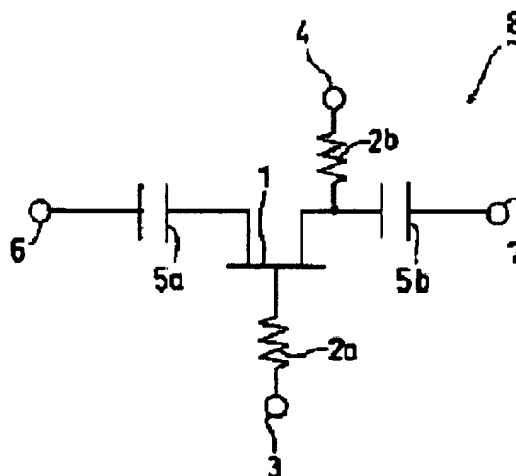


**SEMICONDUCTOR INTEGRATED CIRCUIT**

**Patent number:** JP8228138  
**Publication date:** 1996-09-03  
**Inventor:** MIYATSUJI KAZUO; UEDA DAISUKE  
**Applicant:** MATSUSHITA ELECTRONICS CORP  
**Classification:**  
- **International:** H03K17/687; H03H11/24  
- **European:**  
**Application number:** JP19950321328 19951211  
**Priority number(s):** JP19950321328 19951211; JP19940312880 19941216

**Abstract of JP8228138**

**PURPOSE:** To provide the semiconductor integrated circuit for high frequency for which power consumption and an occupied area are reduced, switchable power is enlarged, output generation distortion is reduced and peripheral circuits are simplified. **CONSTITUTION:** First and second signal terminals 6 and 7 are respectively connected to the drain and source of a field effect transistor(FET) and a first control terminal 3 is connected to its gate. Then, a first resistor member 2a is interposed between the gate and the first control terminal, and capacitors 5a and 5b are respectively interposed between the drain/source and the first/ second signal terminal. Besides, a second control terminal 4 is connected through a second resistor member 2b to one of drain and source at least. Then, a high frequency signal inputted to the first signal terminal 6 is passed through the FET and outputted from the second signal terminal 7 and the transmission amount of high frequency signal is controlled by a voltage signal for control inputted between the first and second control terminals 3 and 4.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-228138

(43)公開日 平成8年(1996)9月3日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/687		9184-5K	H 0 3 K 17/687	G
H 0 3 H 11/24		8731-5J	H 0 3 H 11/24	B

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21)出願番号 特願平7-321328

(22)出願日 平成7年(1995)12月11日

(31)優先権主張番号 特願平6-312880

(32)優先日 平6(1994)12月16日

(33)優先権主張国 日本 (J P)

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 宮辻 和郎

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 上田 大助

大阪府高槻市幸町1番1号 松下電子工業株式会社内

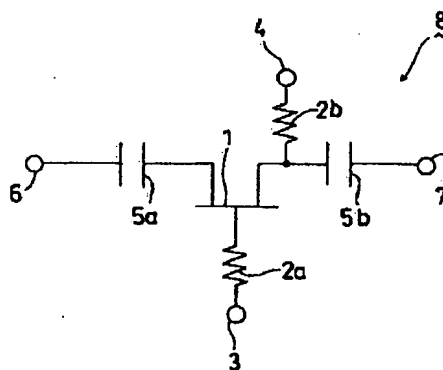
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 消費電力及び占有面積が小さく、切換え可能な電力が大きく、出力発生歪みが小さく、かつ周辺回路の簡素な高周波用半導体集積回路を提供する。

【構成】 電界効果型トランジスタのドレイン、ソースにそれぞれ第1、第2信号端子6、7を接続し、ゲートに第1制御端子3を接続し、ゲート-第1制御端子間に第1抵抗部材2aを介設し、ドレイン・ソース-第1、第2信号端子間にそれぞれキャパシタ5a、5bを介設し、ドレイン・ソースの少なくとも一方に第2抵抗部材2bを介して第2制御端子4を接続する。そして、第1信号端子6に入力される高周波信号を電界効果型トランジスタを経て第2信号端子7から出力し、高周波信号の伝達量を第1制御端子3と第2制御端子4との間に入力する制御用電圧信号によって制御する。



1・・・電界効果型トランジスタ  
 2a、2b・・・第1、第2抵抗部材  
 3・・・第1制御端子  
 4・・・第2制御端子  
 5a、5b・・・第1、第2キャパシタ  
 6・・・第1信号端子  
 7・・・第2信号端子

## 【特許請求の範囲】

【請求項 1】 高周波信号を伝達するための基本回路を有する半導体集積回路であって、

上記基本回路は、

ゲート、ソース及びドレインを有する電界効果型トランジスタと、

上記電界効果型トランジスタと電界効果型トランジスタの外部との間で高周波信号を入出力するための第 1、第 2 信号端子と、

上記電界効果型トランジスタのソース・ドレインと上記各信号端子との間の配線中にそれぞれ介設され使用する周波数帯域におけるインピーダンスが線路インピーダンスより低いキャパシタ成分を少なくとも含む直流成分遮断部材と、

上記ゲートに接続される第 1 制御端子と、

上記ゲートー第 1 制御端子間に介設され、インピーダンスが線路インピーダンスより高い抵抗特性を有し第 1 制御端子への高周波信号の入力を阻止するための第 1 阻止部材と、

上記電界効果型トランジスタのソース・ドレインのうち少なくとも一方と直流成分遮断部材との間の配線に分岐配線を介して接続される第 2 制御端子と、

上記分岐配線中に介設されインピーダンスが線路インピーダンスより高い抵抗特性を有し第 2 制御端子への高周波信号の入力を阻止するための第 2 阻止部材とを備え、  
上記基本回路の第 1 信号端子ー第 2 信号端子間における高周波信号の伝達量が上記第 1 制御端子と第 2 制御端子との間の制御用電圧信号によって制御されるように構成されていることを特徴とする半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路において、

上記ゲート及び第 1 制御端子は、それぞれ複数の同数個だけ配置され、各ゲートー第 1 制御端子間にそれぞれ上記第 1 阻止部材が介設されていることを特徴とする半導体集積回路。

【請求項 3】 請求項 1 記載の半導体集積回路において、

上記基本回路は複数個設けられており、

上記複数の基本回路のうち一部の基本回路の第 1 制御端子に接続され所定の電圧を供給するための第 1 電圧供給端子と、

上記複数の基本回路のうち他の基本回路の第 2 制御端子に接続され上記第 1 電圧供給端子が供給する電圧とは所定の電位差を有する電圧を供給するための第 2 電圧供給端子とをさらに備え、

上記一部の基本回路では、第 1 制御端子への信号により第 1 信号端子ー第 2 信号端子間の高周波信号の伝達量が制御される一方、

上記他の基本回路では、第 2 制御端子への信号により第 1 信号端子ー第 2 信号端子間の高周波信号の伝達量を制

御するように構成されていることを特徴とする半導体集積回路。

【請求項 4】 請求項 3 記載の半導体集積回路において、

上記基本回路は 2 つ配設されており、

上記各基本回路の各第 1 信号端子に共通に接続される入力端子と、

上記各基本回路のうち一方の基本回路の第 2 信号端子に接続される出力端子と、

上記各基本回路のうち他方の基本回路の第 2 信号端子に接続される接地端子と、

上記各基本回路のうちいずれか一方の基本回路の第 1 制御端子と上記各基本回路のうち他方の基本回路の第 2 制御端子とに共通に接続され制御用電圧信号を入力するための第 3 制御端子とをさらに備え、

上記各基本回路により、スイッチとして機能する単位回路が構成されていることを特徴とする半導体集積回路。

【請求項 5】 請求項 3 記載の半導体集積回路において、

上記基本回路は 2 つ配設されており、

上記各基本回路の各第 1 信号端子に共通に接続される入力端子と、

上記各基本回路のうち一方の基本回路の第 2 信号端子に接続される出力端子と、

上記各基本回路のうち他方の基本回路の第 2 信号端子に接続される接地端子と、

上記各基本回路のうちいずれか一方の基本回路の第 1 制御端子と上記各基本回路のうち他方の基本回路の第 2 制御端子とに共通に接続され制御用電圧信号を入力するための第 3 制御端子と、

上記各基本回路のうち一方の基本回路のソース及びドレインと上記各基本回路のうち他方の基本回路の第 1 信号端子との間にそれぞれ介設され相等しい抵抗値を有する 2 つの抵抗部材とをさらに備え、

上記各基本回路により、アテネータとして機能する単位回路が構成されていることを特徴とする半導体集積回路。

【請求項 6】 請求項 3 記載の半導体集積回路において、

上記基本回路は 2 つ配設されており、

上記各基本回路の各第 1 信号端子に共通に接続される入力端子と、

上記各基本回路の各第 2 信号端子に個別に接続される第 1、第 2 出力端子と、

上記各基本回路のうちいずれか一方の基本回路の第 1 制御端子と上記各基本回路のうち他方の基本回路の第 2 制御端子とに共通に接続され制御用電圧信号を入力するための第 3 制御端子とをさらに備え、

上記各基本回路により、共通の入力端子を介して入力された高周波信号を上記第 1、第 2 出力端子を介してそれ

ぞれ出力する信号分配機能を有する単位回路が構成されていることを特徴とする半導体集積回路。

【請求項 7】 請求項 3 記載の半導体集積回路において、

上記基本回路は 2 つ配設されこれらを第 1、第 2 基本回路とし、

上記第 1、第 2 基本回路の各第 1 信号端子に個別に接続される第 1、第 2 入力端子と、

上記各基本回路の各第 2 信号端子に共通に接続される出力端子と、

上記各基本回路のうちいずれか一方の基本回路の第 1 制御端子と上記各基本回路のうち他方の基本回路の第 2 制御端子とに共通に接続され制御用電圧信号を入力するための第 3 制御端子とをさらに備え、

上記各基本回路により、上記第 1、第 2 入力端子を介して入力された高周波信号を共通の出力端子を介して出力する信号混合機能を有する単位回路が構成されていることを特徴とする半導体集積回路。

【請求項 8】 請求項 6 記載の半導体集積回路において、

上記 2 つの単位回路をそれぞれ第 1、第 2 単位回路とし、

上記各単位回路の上記第 1、第 2 出力端子のうちいずれか一方の出力端子同士に共通に接続される第 3 出力端子と、

上記各単位回路の上記第 1、第 2 出力端子のうち他方の出力端子同士に共通に接続される第 4 出力端子と、

上記各単位回路の各第 3 制御端子に共通に接続される第 4 制御端子とをさらに備え、

上記第 4 制御端子に入力される電圧信号により、各単位回路の各入力端子から入力される高周波信号が各単位回路の第 3、第 4 出力端子から交互に出力するよう切換えられるように構成されて、上記第 1、第 2 単位回路により、四方切換えスイッチが構成されていることを特徴とする半導体集積回路。

【請求項 9】 請求項 6、7 又は 8 記載の半導体集積回路において、

上記各基本回路のうち少なくとも 1 つの基本回路に、上記各基本回路と同じ構成を有する第 3 基本回路が付設されており、

上記第 3 基本回路の第 1 信号端子は、上記少なくとも 1 つの基本回路が属する単位回路の上記入力端子に接続され、

上記第 3 基本回路の第 2 信号端子は、接地端子に接続され、

上記第 3 基本回路が付設される基本回路の第 1 制御端子が第 3 制御端子に接続されている場合は、上記第 3 基本回路の第 2 制御端子が上記第 3 制御端子に接続されかつ第 3 基本回路の第 1 制御端子が上記第 1 電圧供給端子及び上記第 2 電圧供給端子のうちいずれか一方に接続され

る一方、

上記第 3 基本回路が付設される基本回路の第 2 制御端子が第 3 制御端子に接続されている場合は、上記第 3 基本回路の第 1 制御端子が上記第 3 制御端子に接続されかつ第 3 基本回路の第 2 制御端子が上記第 1 電圧供給端子及び上記第 2 電圧供給端子のうちいずれか一方に接続されることを特徴とする半導体集積回路。

【請求項 10】 請求項 3、4、5、6、7、8 又は 9 記載の半導体集積回路において、

上記各基本回路のうち少なくとも 1 つの基本回路では、上記ゲート及び第 1 制御端子がそれぞれ複数の同数個だけ配置され、各ゲートー第 1 制御端子間にそれぞれ上記第 1 阻止部材が介設されていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信機器、特に携帯電話等に用いられる高周波用半導体集積回路に関するものである。

【0002】

【従来の技術】近年、移動体通信分野の発展に伴い、携帯電話等のアンテナの送受信切換えやパワーアンプ入力レベル制御用に、小型、低消費電力の高周波用半導体スイッチ及び高周波用半導体可変アッテネータが望まれている。このようなスイッチ及びアッテネータに用いるデバイスとして、図 8 に示すような電界効果型トランジスタ (FET) を配置した基本回路が使用されている。

【0003】図 8 において、1 は GaAs 基板の一部に形成されゲート及びソース・ドレインを有するノーマリオン型の電界効果型トランジスタ、3 は制御端子、6 は第 1 信号端子、7 は第 2 信号端子である。つまり、制御端子 3 を介して電界効果型トランジスタ 1 のゲートに制御用電圧信号を印加し、制御用電圧信号の値を変えることで、第 1 信号端子 6 と第 2 信号端子 7 と間の高周波信号の伝達量を制御するようになされている。

【0004】また、図 9 は、上記図 8 に示す基本回路を 2 つ配置し、各基本回路の第 1 信号端子を共通の入力端子 10 に接続し、一方の基本回路の第 2 信号端子 7 を出力端子とし、他方の基本回路の第 2 信号端子 7 を接地端子に接続した回路の構成を示す。このような回路では、各基本回路の各制御端子 3 に相補的な制御電圧信号を入力することで、各基本回路における信号の伝達量が相補的に制御される。したがって、出力端子に高周波信号を伝達する側の基本回路の電界効果型トランジスタのオフ時における高周波信号が接地端子側に逃がされることで、特に高いアイソレーションを発揮することができる。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の基本回路を組み合わせて、図 9 に示すような回路を

構成しようとする、下記のような問題があった。

【0006】すなわち、図9について説明したように、スイッチ等の高周波制御回路は、図8に示す基本回路をユニットとし、この基本回路の入出力間、入力・接地間あるいは出力・接地間に他の基本回路を挿入して構成するが、この場合には、相補的な制御用電圧信号を入力するための2系統の制御端子が必要である。例えば図9に示す回路では、各基本回路の各制御端子3にそれぞれ相補的な制御電圧信号を供給するための2系統の制御回路が必要となる。このため、制御端子が常に2つ必要となるだけでなく、この高周波制御回路を駆動するための周辺回路も複雑なものになる。また、説明は省略するが、上記図8に示す単位回路を組み合わせてブリッジT型アッテネータを構成する際にも、相補的な2つの制御信号を入力する2つの制御系統が必要となり、同様の問題を生じていた。

【0007】さらに、付随する問題として、入力する高周波信号の電力が大きい場合、入出力間におけるリニア特性が崩れ、出力に発生する歪が大きくなる虞れがあった。したがって、図8に示す基本回路や図9に示す基本回路を組み合わせた回路をスイッチやアッテネータとして使用する場合には、使用可能な電力が制限されるという問題があった。

【0008】本発明は斯かる各問題点に鑑みてなされたものであり、その第1の目的は、スイッチ、アッテネータに必要な基本回路の構造を改善することにより、駆動回路等の周辺回路の構造の簡素化が可能な高周波制御用半導体集積回路を提供することにある。

【0009】また、第2の目的は、上述のような構造が簡素化された高周波制御用半導体集積回路における入出力間の歪みを低減することにある。

【0010】

【課題を解決するための手段】上記第1の目的を達成するために本発明が講じた解決手段は、基本回路における第1信号端子及び第2信号端子と電界効果型トランジスタのソース・ドレインとの間における直流信号の伝達を阻止する手段を講ずるとともに、電界効果型トランジスタの制御をゲート・ソース・ドレイン間の電圧によって制御する構成とすることにある。

【0011】また、上記第2の目的を達成するために本発明が講じた手段は、基本回路における電界効果型トランジスタのゲートを複数のゲートで構成することにある。

【0012】具体的に、本発明に係る第1の半導体集積回路は、請求項1に記載されるように、高周波信号を伝達するための基本回路を有する半導体集積回路であって、上記基本回路に、ゲート、ソース及びドレインを有する電界効果型トランジスタと、上記電界効果型トランジスタと電界効果型トランジスタの外部との間で高周波信号を入出力するための第1、第2信号端子と、上記電

界効果型トランジスタのソース・ドレインと上記各信号端子との間の配線中にそれぞれ介設され使用する周波数帯域におけるインピーダンスが線路インピーダンスより低いキャパシタ成分を少なくとも含む直流成分遮断部材と、上記ゲートに接続される第1制御端子と、上記ゲート第1制御端子間に介設され、インピーダンスが線路インピーダンスより高い抵抗特性を有し第1制御端子への高周波信号の入力を阻止するための第1阻止部材と、上記電界効果型トランジスタのソース・ドレインのうち少なくとも一方と直流成分遮断部材との間の配線に分歧配線を介して接続される第2制御端子と、上記分歧配線中に介設されインピーダンスが線路インピーダンスより高い抵抗特性を有し第2制御端子への高周波信号の入力を阻止するための第2阻止部材とを設ける。そして、上記基本回路の第1信号端子-第2信号端子間における高周波信号の伝達量が上記第1制御端子と第2制御端子との間の制御用電圧信号によって制御されるように構成したものである。

【0013】この構成により、第1信号又は第2信号端子に高周波信号が入力されると、第1信号端子と第2信号端子との間に介設される電界効果型トランジスタのゲート・ソース・ドレイン間に印加される制御用電圧信号によって、高周波信号の伝達量が制御される。その場合、ゲートとソース・ドレインとにそれぞれ個別に第1、第2制御端子が接続されているので、この基本回路を複数個組み合わせた場合に、一方の基本回路の第1制御端子と他方の基本回路の第2制御端子とを共通に接続することが可能となる。そして、電界効果型トランジスタのソース・ドレインと第1、第2信号端子との間はキャパシタ成分を含む直流成分遮断部材が介設されているので、各基本回路を組み合わせても、各信号端子の電位は独立しており互いに影響を及ぼし合うことがない。したがって、ある基本回路の第1制御端子と他の基本回路の第2制御端子とに共通の制御用電圧信号を供給して、各基本回路の動作を制御することが可能となる。また、各阻止部材により、各信号端子や電界効果型トランジスタの各部から各制御端子への高周波信号の流入が阻止されているので、高周波信号が第1信号端子-第2信号端子間の経路以外の経路に流入することはない。すなわち、この基本回路を組み合わせて、端子数の少ない制御系統の簡素化された半導体集積回路を構成することが可能となる。

【0014】請求項2に記載されるように、上記第1の半導体集積回路において、上記ゲート及び第1制御端子をそれぞれ複数の同数個だけ配置し、各ゲート-第1制御端子間にそれぞれ上記第1阻止部材を介設することができる。

【0015】このように、複数のゲートを持つ電界効果型トランジスタを用いることにより、複数の電界効果型トランジスタのドレイン・ソースを直列に接続したこと

となり、実質的に各電界効果型トランジスタのドレイン・ソース間に加わる高周波電圧がゲートの本数により分圧されて小さくなるために、切換え可能電力が向上し、出力に発生する歪みが小さくなる。

【0016】本発明に係る第2の半導体集積回路は、請求項3に記載されるように、上記基本回路を複数個設け、上記複数の基本回路のうち一部の基本回路の第1制御端子に接続され所定の電圧を供給するための第1電圧供給端子と、上記複数の基本回路のうち他の基本回路の第2制御端子に接続され上記第1電圧供給端子が供給する電圧とは所定の電位差を有する電圧を供給するための第2電圧供給端子とをさらに設け、上記一部の基本回路では、第1制御端子への信号により第1信号端子-第2信号端子間の高周波信号の伝達量が制御される一方、上記他の基本回路では、第2制御端子への信号により第1信号端子-第2信号端子間の高周波信号の伝達量を制御するように構成する。

【0017】この構成により、複数の基本回路において、第1電圧と第2電圧との間で変化する制御用電圧信号を各基本回路の第1制御端子又は第2制御端子に入力することで、各基本回路の高周波信号の伝達量が関連をもって制御される。したがって、各基本回路を種々に組み合わせても、制御系統や端子数が簡素化されることになる。

【0018】請求項4に記載されるように、上記第2の半導体集積回路において、上記基本回路を2つ配設し、上記各基本回路の各第1信号端子に共通に接続される入力端子と、上記各基本回路のうち一方の基本回路の第2信号端子に接続される出力端子と、上記各基本回路のうち他方の基本回路の第2信号端子に接続される接地端子と、上記各基本回路のうちいずれか一方の基本回路の第1制御端子と上記各基本回路のうち他方の基本回路の第2制御端子とに共通に接続され制御用電圧信号を入力するための第3制御端子とをさらに設け、上記各基本回路により、スイッチとして機能する単位回路を構成することができる。

【0019】この構成により、単一の第3制御端子を介して供給される制御用電圧信号によって、各基本回路のうち一方の基本回路を介して出力端子に伝達される高周波信号と、他方の基本回路を介して接地端子に逃される高周波信号との伝達量が相補的に制御される。したがって、第1、第2基本回路を組み合わせ、制御系統が簡素でかつ入出力間のアイソレーションの高い単位回路が構成されることになる。

【0020】請求項5に記載されるように、上記第2の半導体集積回路において、上記基本回路を2つ配設し、上記各基本回路の各第1信号端子に共通に接続される入力端子と、上記各基本回路のうち一方の基本回路の第2信号端子に接続される出力端子と、上記各基本回路のうち他方の基本回路の第2信号端子に接続される接地端子

と、上記各基本回路のうちいずれか一方の基本回路の第1制御端子と上記各基本回路のうち他方の基本回路の第2制御端子とに共通に接続され制御用電圧信号を入力するための第3制御端子と、上記各基本回路のうち一方の基本回路のソース及びドレインと上記各基本回路のうち他方の基本回路の第1信号端子との間にそれぞれ介設され相等的な抵抗値を有する2つの抵抗部材とをさらに設け、上記各基本回路により、アテネータとして機能する単位回路を構成することができる。

【0021】この構成により、単位回路がブリッジT型アッテネータ回路となり、各入出力間のマッチング条件が良好に保持されるとともに、単一の制御用電圧信号により入出力間の減衰量に変化する。したがって、制御系統が簡素化され、かつ高周波信号の減衰機能の優れたアッテネータが構成されることになる。

【0022】請求項6に記載されるように、上記第2の半導体集積回路において、上記基本回路を2つ配設し、上記各基本回路の各第1信号端子に共通に接続される入力端子と、上記各基本回路の各第2信号端子に個別に接続される第1、第2出力端子と、上記各基本回路のうちいずれか一方の基本回路の第1制御端子と上記各基本回路のうち他方の基本回路の第2制御端子とに共通に接続され制御用電圧信号を入力するための第3制御端子とをさらに設け、上記各基本回路により、共通の入力端子を介して入力された高周波信号を上記第1、第2出力端子を介してそれぞれ出力する信号分配機能を有する単位回路を構成することができる。

【0023】また、請求項7に記載されるように、上記第2の半導体集積回路において、上記基本回路を2つ配設してこれらを第1、第2基本回路とし、上記第1、第2基本回路の各第1信号端子に個別に接続される第1、第2入力端子と、上記各基本回路の各第2信号端子に共通に接続される出力端子と、上記各基本回路のうちいずれか一方の基本回路の第1制御端子と上記各基本回路のうち他方の基本回路の第2制御端子とに共通に接続され制御用電圧信号を入力するための第3制御端子とをさらに設け、上記各基本回路により、上記第1、第2入力端子を介して入力された高周波信号を共通の出力端子を介して出力する信号混合機能を有する単位回路を構成することができる。

【0024】また、請求項8に記載されるように、上記第2の半導体集積回路において、上記2つの単位回路を第1、第2単位回路として、上記各単位回路の上記第1、第2出力端子のうちいずれか一方の出力端子同士に共通に接続される第3出力端子と、上記各単位回路の上記第1、第2出力端子のうち他方の出力端子同士に共通に接続される第4出力端子と、上記各単位回路の各第3制御端子に共通に接続される第4制御端子とをさらに設け、上記第4制御端子に入力される電圧信号により、各単位回路の各入力端子から入力される高周波信号が各単

位回路の第3、第4出力端子から交互に出力するよう切換えられるように構成し、上記第1、第2単位回路により、四方切換えスイッチを構成することができる。

【0025】請求項9に記載されるように、上記第2の半導体集積回路において、上記各基本回路のうち少なくとも1つの基本回路に、上記各基本回路と同じ構成を有する第3基本回路を付設し、上記第3基本回路の第1信号端子を、上記少なくとも1つの基本回路が属する単位回路の上記入力端子に接続し、上記第3基本回路の第2信号端子を接地端子に接続し、上記第3基本回路が付設される基本回路の第1制御端子が第3制御端子に接続されている場合は、上記第3基本回路の第2制御端子を上記第3制御端子に接続しかつ第3基本回路の第1制御端子を上記第1電圧供給端子及び上記第2電圧供給端子のうちいずれか一方に接続する一方、上記第3基本回路が付設される基本回路の第2制御端子が第3制御端子に接続されている場合は、上記第3基本回路の第1制御端子を上記第3制御端子に接続しかつ第3基本回路の第2制御端子を上記第1電圧供給端子及び上記第2電圧供給端子のうちいずれか一方に接続する構成とすることができる。

【0026】上記請求項6～9の構成により、各基本回路間の高周波信号の分配、混合、切り換え等が行われる。したがって、制御系統が簡素化された分配器等が構成されることになる。

【0027】請求項10に記載されるように、上記各半導体集積回路において、上記各基本回路のうち少なくとも1つの基本回路に、上記ゲート及び第1制御端子をそれぞれ複数の同数個だけ配置し、各ゲートー第1制御端子間にそれぞれ上記第1阻止部材を介設する構成とすることができる。

【0028】この構成により、請求項2の発明と同様の作用が得られる。

【0029】

【発明の実施形態】以下、本発明の実施形態について、図面を参照しながら説明する。

【0030】（第1の実施形態）まず、第1の実施形態について図面を参照しながら説明する。図1は本発明の第1の実施形態に係る半導体集積回路内の基本回路8の構成を示す電気回路図である。この基本回路8は、ゲート、ソース及びドレインを有する電界効果型トランジスタ1と、高周波信号の伝達を阻止する第1、第2阻止部材としての第1、第2抵抗部材2a、2bと、第1、第2制御端子3、4と、直流成分遮断部材として機能する第1、第2キャパシタ5a、5bと、第1、第2信号端子6、7とを組み合わせる構成されている。電界効果型トランジスタ1は、例えばゲート長1 $\mu\text{m}$ 、ゲート幅1mmであり、ピンチオフ電圧が-2Vのノーマリ・オン型である。この電界効果型トランジスタ1のゲートは第1抵抗部材2aを介して第1制御端子3に接続されてい

る。また、ソースは第2抵抗部材2bを介して第2制御端子4に接続されている。これらの各抵抗部材2a、2bの抵抗値は線路インピーダンスよりも十分大きく、例えば2K $\Omega$ のものが選定される。電界効果型トランジスタ1のドレインは、第1キャパシタ5aを介して第1信号端子6に接続され、ソースは第2キャパシタ5bを介して第2信号端子7に接続されている。各キャパシタ5a、5bは数100MHz～数GHzでの伝送損失が十分小さくなるように、例えば各々50pFのものが選定される。このキャパシタ5a、5bは、FET、抵抗部材等とともに、共通のGaAs基板上に、高誘電性材料であるBST（チタン酸バリウム・ストロンチウム、誘電率：200～300）からなる絶縁膜を堆積し、これをパターンニングすることにより形成される。BST膜の膜厚を200nm程度とすれば、キャパシタ5a、5bの単位面積あたりの容量は100pF/100 $\mu\text{m}^2$ となり、図1に示す基本回路8は0.5mm<sup>2</sup>程度のGaAs基板上に収納できる。すなわち、この基本回路8の占有面積は小さくて済む。

【0031】次に、本実施形態の半導体集積回路の動作について説明する。電界効果型トランジスタ1のドレイン・ソース間抵抗は、ソースに対して負となるゲートに印加された電圧によって変化する。このため、第2制御端子4に対して第1制御端子3が負となるように制御用電圧信号を印加することにより、第1信号端子6と第2信号端子7の間の高周波信号の伝達量を制御することができる。電界効果型トランジスタ1のドレイン・ソースは、第1、第2信号端子6、7からキャパシタ5a、5bによって直流的に切り離されている。このため、本実施形態の回路を単位として複数個組み合わせる高周波制御回路を構成する場合、各基本回路の電界効果型トランジスタには、他の基本回路に加えられた制御用電圧信号の影響を受けることなく、各々独立に制御用電圧信号を加えることができる。

【0032】なお、上記第1の実施形態及び以下の各実施形態に示す基本回路において、基本回路内の電界効果型トランジスタは、ノーマリ・オフ型であってもよい。その場合、ゲートに接続される第1制御端子3の電位が第2制御端子4の電位よりも高くなる制御用電圧信号を印加すればよい。

【0033】また、上記第1の実施形態では、高周波信号を伝達を阻止する第1、第2阻止部材として第1、第2抵抗部材2a、2bを配設したが、各阻止部材として用いることができる要素はかかる抵抗部材に限定されるものではない。したがって、上記第1の実施形態及び以下の各実施形態に示す各基本回路内の抵抗部材の代わりに、ダイオード等の抵抗特性を有する部材を使用することができる。

【0034】さらに、上記第1の実施形態では、直流成分遮断部材として第1、第2キャパシタ5a、5bを設

けたが、直流成分遮断部材として用いることができる部材はキャパシタに限定されるものではない。例えばPINダイオードは、キャパシタ成分を含むので、これをキャパシタ5a、5bの代わりに配設しても、直流成分を遮断することができ、上記第1の実施形態と同様の効果を発揮することができる。

【0035】（第2の実施形態）次に、本発明の第2の実施形態について説明する。図2は第2の実施形態に係る半導体集積回路内の基本回路の構成を示す電気回路図である。本実施形態では、上記第1の実施形態における構成に比べ、電界効果型トランジスタ1には3つのゲート電極が設けられ、各ゲート電極と第1制御端子3との間に各々第1抵抗部材2aが介設されている点のみが異なる。その他の構成は、上記第1の実施形態と同様である。この3つの第1抵抗部材2a及び第2抵抗部材2bの抵抗値はの実施形態1と同様に線路インピーダンスよりも十分大きく、例えば2KΩのものが選定される。各キャパシタ5a、5bは数100MHz～数GHzでの伝送損失が十分小さくなるように、例えば各々50pFのものが選定される。

【0036】次に、本実施形態の半導体集積回路の動作について説明する。基本的な動作はの実施形態1と同様であり、第1信号端子6及び第2信号端子7の直流的な電位とは独立に、第1制御端子3の第2制御端子4に対する負の電位差によって高周波信号の伝達量を制御することができる。

【0037】本実施形態では、電界効果型トランジスタ1としてドレイン・ソース間に3本のゲート電極を配置したものを用いている。これは、3個の電界効果型トランジスタの各ドレイン・ソースを直列に接続したものと同等である。このため、実質的にドレイン・ソース間に加わる高周波電圧はゲートの本数（本実施形態では3）分の1に分割される。ドレイン・ソース間の電圧が大きいと、ドレイン・ソース間抵抗の非線形性が増大するが、このような複数のゲートを持つ電界効果型トランジスタを用いることにより、出力に発生する歪みは低減される。また、各ゲートはそれぞれ第1抵抗部材2aを介して第1制御端子3に接続されている。このため、各ゲートの電圧は信号端子に入力された高周波信号に追随して変化し、ゲート・ソース間の電位差の変動が抑えられ、歪みの発生がさらに低減される。

【0038】なお、後述の第3の実施形態、第6の実施形態及び第7の実施形態においても、各基本回路中の電界効果型トランジスタのゲートを複数個設ける構成としてもよい。ただし、すべての基本回路中のゲートを同じ構成とする必要はなく、各基本回路でゲートの個数が異なってもよい。

【0039】（第3の実施形態）次に、第3の実施形態について説明する。図3は、第3の実施形態に係る半導体集積回路内の単位回路20の構成を示す電気回路図で

ある。本実施形態における単位回路20は、上記第1の実施形態における基本回路8と同じ構成を有する第1、第2基本回路8、9を2個組み合わせで構成されている。そして、第1、第2基本回路8、9の各第1信号端子6が共通の入力端子10に接続されている。また、第1、第2基本回路8、9の各第2信号端子7が個別に第1、第2出力端子11a、11bに接続されている。さらに、第1基本回路8の第1制御端子3と第2基本回路9の第2制御端子4とが共通の第3制御端子12に接続されている。第2基本回路の第1制御端子3は接地端子に接続されており、第1基本回路の第2制御端子4は電源端子13に接続されている。

【0040】次に、本実施形態における半導体集積回路の動作について説明する。電源端子13の電位をVdd、第3の制御端子12の電位をVc、第1基本回路8の電界効果型トランジスタのゲート・ソース間電圧をVgs1、第2基本回路9の電界効果型トランジスタのゲート・ソース間電圧をVgs2とすると、下記2式の関係

$$V_{gs1} = -V_c$$

$$V_{gs2} = V_c - V_{dd}$$

が得られる。よって、下記式

$$|V_{gs1}| + |V_{gs2}| = V_{dd}$$

が得られ、2つの基本回路8、9の各電界効果型トランジスタ1には互いに相補的な制御用電圧信号が加わることとなる。

【0041】つまり、本実施形態における回路では、第3制御端子12を介して入力される単一の制御入力によって、入力端子10に加えられた高周波信号を各基本回路8、9の2つの出力端子11a、11bに振り分けることができる。これは、2つの基本回路の第1信号入力を高周波的には接続しているが、キャパシタによって直流的には切り離しているために可能となったものである。このような構成により、制御用電圧信号入力のために必要な周辺回路の構成が簡素化される。なお、上記電源端子及び接地端子は、所定の電位差を有する2つの電圧をそれぞれ供給する電圧供給端子であればよい。

【0042】（第4の実施形態）次に、第4の実施形態について説明する。図4は第4の実施形態に係る半導体集積回路内の単位回路20の構成を示す電気回路図である。本実施形態の半導体集積回路の単位回路20は、第2の実施形態における基本回路8と同じ構成を有する第1、第2基本回路8、9を組み合わせ、入力端子10と出力端子11の間の高周波信号の伝達を第3制御端子12への制御用電圧信号のみによりオン・オフするスイッチである。

【0043】図4に示すように、第2基本回路9の第1制御端子3及び第2信号端子7は接地端子に接続されており、第2基本回路9の第1信号端子6は基本回路8の第1信号端子6と共通の入力端子10に接続され、第2基本回路9の第2制御端子4は基本回路8の第1制御端



子 3 と共通の第 3 制御端子 12 に接続されている。そして、第 1 基本回路 8 の第 2 制御端子 4 には電源端子 13 を介して所定の電圧が供給される。ただし、本実施形態では、第 2 基本回路 9 の第 1 制御端子 3 は接地端子に接続されているが、第 1 制御端子 3 は必ずしも接地端子に接続されている必要はなく、第 1 電圧供給端子である電源端子 13 から供給される電圧と所定の電位差を有する電圧を供給する他の電圧供給端子に接続されていればよい。すなわち、図 4 に示す単位回路 20 の構成は、第 2 電圧供給端子が接地端子である一例を示すに過ぎない。

【0044】このような構成により、入力端子 10 と出力端子 11 の間がオフのときに、入力端子 10 から入力された高周波信号を接地端子側に逃がすことができ、入出力間のアイソレーションの向上を図ることができる。

【0045】以上のように、本実施形態の半導体集積回路は単一の制御用電圧信号によって、入出力間の高周波信号の伝達をオン・オフすることができるので、周辺回路の簡素化を図ることができる。また、電界効果型トランジスタとしてドレイン・ソース間にゲート電極を 3 本持つものを用いているために、出力に発生する歪が低減され、切換え可能な電力が向上している。

【0046】（第 5 の実施形態）次に、第 5 の実施形態について説明する。図 5 は、第 5 の実施形態に係る半導体集積回路の単位回路 30 の構成を示す電気回路図である。本実施形態では、電界効果型トランジスタをゲート・ソース間電圧で制御される可変抵抗として用いており、ブリッジ T 型アッテネータ回路を構成している。

【0047】本実施形態における基本回路は、第 2 の実施形態における基本回路 8 と基本的に同じ構成を有する 2 つの第 1、第 2 基本回路 8、9 を組み合わせて構成されている。ただし、本実施形態では、各基本回路 8、9 において、ソース・ドレイン間に 4 つのゲート電極を設け、各ゲート電極を各々 4 つの第 1 抵抗部材 2a を介して共通の電源端子 13 又は接地端子に接続するようにしている。また、第 2 基本回路 9 の第 1 信号端子 6 と第 1 基本回路 8 のソース・ドレインとの間は、互いに同じ抵抗値を有する第 3 抵抗部材 2c を介して接続されている。また、第 2 基本回路 9 の第 1 制御端子 3 及び第 2 信号端子 7 は接地端子に接続されており、第 2 基本回路 9 の第 2 制御端子 4 は基本回路 8 の第 1 制御端子 3 と共通の第 3 制御端子 12 に接続されている。また、第 1 基本回路 8 の第 2 制御端子 4 は電源端子 13 に接続されている。ただし、本実施形態では、第 2 基本回路 9 の第 1 制御端子 3 は接地端子に接続されているが、第 1 制御端子 3 は必ずしも接地端子に接続されている必要はなく、第 1 電圧供給端子である電源端子 13 から供給される電圧と所定の電位差を有する電圧を供給する他の電圧供給端子に接続されていればよい。すなわち、図 4 に示す単位回路 20 の構成は、第 2 電圧供給端子が接地端子である一例を示すに過ぎない。なお、上記第 2 抵抗部材 2b の

抵抗値は、基本回路を挿入する伝送線路の特性インピーダンスの値  $Z_0$  であり、一般には  $50\Omega$  のものが選定される。

【0048】以上のように構成された単位回路 30 では、第 3 制御端子 12 に 0V から電源端子 13 の電圧に等しい電圧（例えば 3V）の間の電圧を印加すると、2 つの電界効果型トランジスタ 1 のドレイン・ソース間抵抗  $R_{ds}$  は互いに相補的な値となる。つまり、一方の基本回路の電界効果型トランジスタ 1 のドレイン・ソース間抵抗  $R_{ds1}$  が大のとき、他方の基本回路の電界効果型トランジスタ 1 のドレイン・ソース間抵抗  $R_{ds2}$  は小となり、 $R_{ds1}$  が小のとき  $R_{ds2}$  は大となる。このブリッジ T 型アッテネータ回路のマッチング条件は、下記式  $R_{ds1} \times R_{ds2} = Z_0^2$

で与えられる。本実施形態の回路では、上式が近似的に成立するので、入出力間のマッチングを良好に保ったまま、単一の制御用電圧信号の入力で入出力間の減衰量を変化させることができる。

【0049】さらに、本実施形態では、各電界効果型トランジスタに 4 つのゲート電極が設けられているので、実質的に 4 個の FET のドレイン・ソースを直列に接続したものとなっている。このため、入力から加えられた高周波電力の  $1/4$  がそれぞれの電界効果型トランジスタのドレイン・ソース間に加わることとなる。このドレイン・ソース間に印加される電圧は出力に発生する歪特性を決める要因である。即ち、ドレイン・ソース間電圧が大きい場合、より大きい歪みが発生するが、本実施形態の高周波制御用半導体回路では出力に発生する歪みが低減される。

【0050】なお、本実施形態では、ドレイン・ソース間に配置するゲート電極の本数を 4 本としたが、切換え可能電力はゲート本数が 2 本以上で多いほど向上することは言うまでもない。

【0051】（第 6 の実施形態）次に、第 6 の実施形態について、図 6 を参照しながら説明する。本実施形態では、各基本回路内の各要素は、上記第 1 の実施形態における基本回路 8 の構成と同じであるため、各基本回路内の各要素の符号の図示は省略する。

【0052】図 6 に示すように、第 1、第 2 基本回路 8、9 の各第 1 信号端子 6 は個別に第 1、第 2 入力端子 10a、10b に接続されている。また、各基本回路 8、9 の各第 2 信号端子 7 は共通の出力端子 11 に接続されている。そして、第 1 基本回路 8 の第 1 制御端子 3 及び第 2 基本回路 9 の第 2 制御端子 4 は、共通の第 3 制御端子 12 に接続されている。なお、第 1 基本回路 8 の第 2 制御端子 4 は電源端子 13 に接続され、第 2 基本回路 9 の第 1 制御端子 3 は接地端子に接続されている。

【0053】さらに、上記各基本回路 8、9 には、電界効果型トランジスタがオフ時に高周波信号を接地端子に逃がすための第 3 基本回路 18 がそれぞれ付設されてい

る。第1基本回路8に付設される第3基本回路18において、第1信号端子6は第1基本回路8の第1信号端子6と共通に第1入力端子10aに、第2信号端子7は接地端子に、第1制御端子3は接地端子に、第2制御端子4は第1基本回路8の第1制御端子3と共通に第3制御端子12にそれぞれ接続されている。また、第2基本回路9に付設される第3基本回路18において、第1信号端子6は第2基本回路9の第1信号端子6と共通に第2入力端子10bに、第2信号端子7は接地端子に、第1制御端子3は第2基本回路9の第2制御端子4と共通に第3制御端子12に、第2制御端子は電源端子13にそれぞれ接続されている。

【0054】すなわち、本実施形態では、単一の第3制御端子12を介して各基本回路8、9の電界効果型トランジスタに相補的な制御電圧信号を印加することにより、2つの入力端子10a、10bを介して入力される高周波信号を混合して単一の出力端子11を介して出力させることができる。つまり、各基本回路8、9により混合機能を有する単位回路が構成されている。しかも、各基本回路8、9に第3基本回路18が付設されているので、各基本回路8、9内の電界効果型トランジスタがオフ時における高周波信号を接地端子側に逃がすことができ、高いアイソレーション特性を発揮することができる。

【0055】ただし、上記実施形態では、各基本回路8、9にそれぞれ第3基本回路18を付設したが、一方の基本回路8（又は9）にのみ第3基本回路18を付設するようにしてもよい。

【0056】また、実施形態は省略するが、上記第3の実施形態、第5の実施形態あるいは後述の第7の実施形態の基本回路8、9のうち少なくとも1つの基本回路に本実施形態の第3基本回路18と同様の構成を有する第3基本回路18を付設してもよいことはいうまでもない。

【0057】なお、図6に示す回路は、上記第4の実施形態に示す単位回路20（ただし、基本回路20の電界効果型トランジスタのゲートは単一ゲート型であるが）

を2つ組み合わせたものとみることもできる。

【0058】（第7の実施形態）次に、第7の実施形態について、図7を参照しながら説明する。本実施形態における回路は、上記第3の実施形態における単位回路20（図3参照）と同じ構成を有する第1、第2単位回路20a、20bを2つ組み合わせたものである。図7に示すように、各単位回路の出力端子11a、11bのうちいずれか一方の出力端子11a同士が共通に第3出力端子14aに接続され、各単位回路の出力端子11a、11bのうち他方の出力端子11b同士が共通に第4出力端子14bに接続されている。また、各単位回路20a、20bの第3制御端子12が共通に第4制御端子15に接続されている。すなわち、各単位回路20a、20bの各入力端子10に入力される高周波信号を、単一の第3制御端子15への制御用電圧信号によって、各出力端子14a、14bから交互に出力するよう構成されている。つまり、上記各単位回路20a、20bの組み合わせにより、四方切換え回路が構成されている。

【0059】（第8の実施形態）図10は、例えばデュアルモード携帯電話に搭載される回路の構成を概略的に示すブロック図である。この回路内には、図3に示す各基本回路8、9が組み込まれている。すなわち、第1制御端子3への信号によって動作が制御され第2制御端子4には電源電圧VDDが印加される4つの基本回路8a～8dと、第2制御端子4への信号によって動作が制御され第1制御端子3には電源電圧が印加される4つの基本回路9a～9dとが交互に閉回路を構成するように接続されている。そして、各基本回路間には、同図に示すような配置関係で、2つの第1、第2パワーアンプPA1、PA2と、2つの第1、第2低雑音アンプLNA1、LNA2と、4つのアンテナAt1～At4とが設けられている。そして、各基本回路8a～8d、9a～9dは、単一の制御信号端子16への信号が電源電圧VDDか、0かに応じて、下記の真理値表に示すようにオン・オフする。

【0060】

【表1】

制御 信号	基 本 回 路							
	8a	9a	8b	9b	8c	9c	8d	9d
0	オフ	オン	オフ	オン	オフ	オン	オフ	オン
VDD	オン	オフ	オン	オフ	オン	オフ	オン	オフ

なお、例えば、第1パワーアンプPA1の送信部Ot1は0.8GHz帯用で1Wの出力電力を有し、第2パワーアンプPA2の送信部Ot2は1.9GHz帯用で0.1Wの出力電力を有し、第1低雑音アンプLNA1の受信部It1は0.8GHz帯用で、第2低雑音パワーアンプLNA2の受信部It2は1.9GHz用である。

【0061】このような回路の実用的使用方法としては、下記のような具体例がある。

【0062】（具体例1）各アンテナを送受信共に使用し、偏波ダイバーシティ機能を持たせる。例えば第1、第3アンテナAt1、At3を水平偏波信号用とし、第2、第4アンテナAt2、At4を垂直偏波信号用とする。第1パワーアンプPA1から水平偏波信号を送信し

たい場合には第1アンテナA tを利用し、垂直偏波信号を送信したい場合には第4アンテナA tを利用する。第2パワーアンプP A 2から送信する場合も同様であり、また、各低雑音アンプL N A 1、L N A 2に受信する場合も同様である。

【0063】（具体例2）各アンテナのうちいずれかを内部アンテナと、他方を外部アンテナとしておくことで、各アンプの送受信を行うアンテナを内外切り換えることができる。例えば第1アンテナA t 1、A t 3を内臓ホイップアンテナ端子とし、第2、第4アンテナA t 2、A t 4を外部アンテナ端子とすることができる。

【0064】

【発明の効果】以上説明したように、請求項1の発明によれば、制御系統の簡素化された半導体集積回路を構成するための基本回路を提供することができる。

【0065】請求項2又は10の発明によれば、出力に発生する歪みの低減を図ることができ、よって、切換え可能な電力量の増大を図ることができる。

【0066】請求項3の発明によれば、複数の基本回路を配設して半導体集積回路を構成した場合に、周辺回路の簡素化を図ることができる。

【0067】請求項4の発明によれば、入出力間の接続、切断を単一の制御入力によって制御することができ、よって、入出力間のアイソレーションの向上を図ることができる。

【0068】請求項5の発明によれば、ブリッジT型アッテネータとして機能する半導体集積回路において、入出力間の減衰量を単一の制御入力によって変化させることができ、よって、周辺回路の簡素化を図ることができる。

【0069】請求項6、7、8又は9の発明によれば、単一の制御用電圧信号によって、各基本回路間の高周波信号の分配、混合、切り換え等を行うことができ、よって、分配器等における周辺回路の簡素化を図ることができる。

【図面の簡単な説明】

【図1】第1の実施形態における高周波用半導体集積回路中の基本回路の構成を示す電気回路図である。

【図2】第2の実施形態における高周波用半導体集積回路中の基本回路の構成を示す電気回路図である。

【図3】第3の実施形態における高周波用半導体集積回路中の単位回路の構成を示す電気回路図である。

【図4】第4の実施形態に係る高周波用分配回路の構成を示す電気回路図である。

【図5】第5の実施形態に係るブリッジT型アッテネータ回路の構成を示す電気回路図である。

【図6】第6の実施形態に係る高周波用混合回路の構成を示す電気回路図である。

【図7】第7の実施形態に係る高周波用四方切換え回路の構成を示す電気回路図である。

【図8】従来の高周波用半導体集積回路中の基本回路の構成を示す電気回路図である。

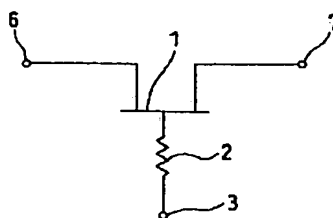
【図9】従来の高周波用半導体集積回路中の基本回路を組み合わせたスイッチ回路の構成を示す電気回路図である。

【図10】第8の実施形態に係る切換え回路の構成を示す電気回路図である。

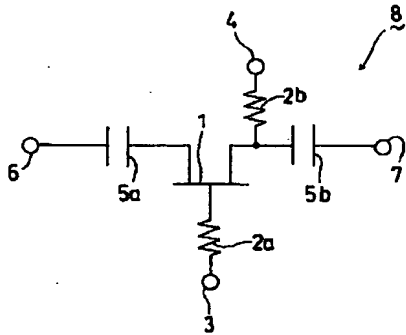
【符号の説明】

- 1 電界効果型トランジスタ
- 2 a 第1抵抗部材
- 2 b 第2抵抗部材
- 2 c 第3抵抗部材
- 3 第1制御端子
- 4 第2制御端子
- 5 a 第1キャパシタ
- 5 b 第2キャパシタ
- 6 第1信号端子
- 7 第2信号端子
- 8 第1基本回路
- 9 第2基本回路
- 10 入力端子
- 11 出力端子
- 12 第3制御端子
- 13 電源端子
- 14 a 第3出力端子
- 14 b 第4出力端子
- 15 第4制御端子
- 18 第3基本回路
- 20 単位回路

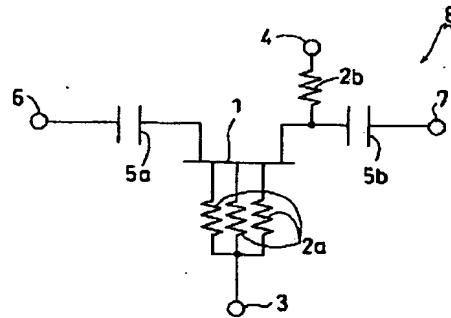
【図8】



【図 1】

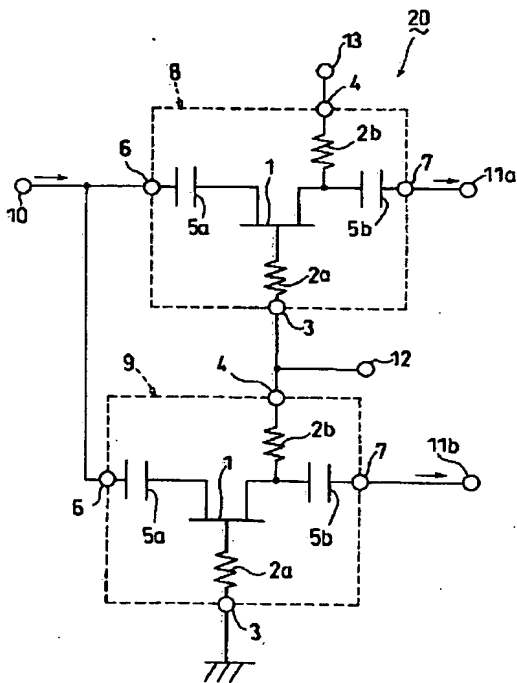


【図 2】



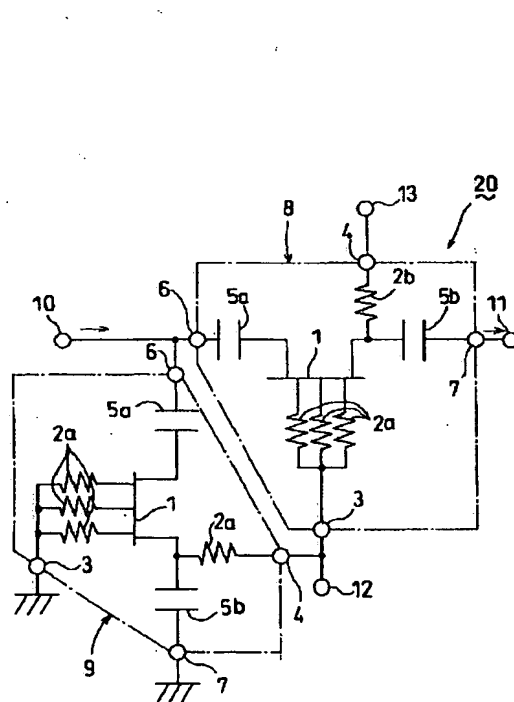
- 1・・・電界効果トランジスタ  
 2a, 2b・・・第1, 第2抵抗部材  
 3・・・第1制御端子  
 4・・・第2制御端子  
 5a, 5b・・・第1, 第2キャパシタ  
 6・・・第1信号端子  
 7・・・第2信号端子

【図 3】

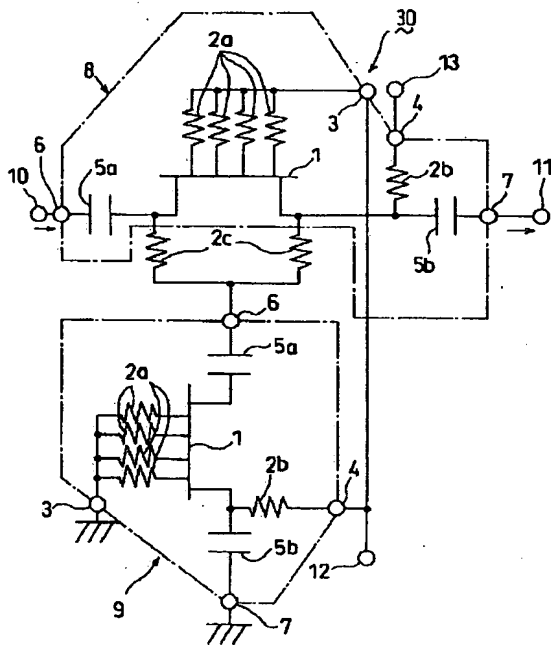


- 8・・・第1基本回路  
 9・・・第2基本回路  
 10・・・入力端子  
 11・・・出力端子  
 12・・・第3制御端子  
 13・・・電源端子

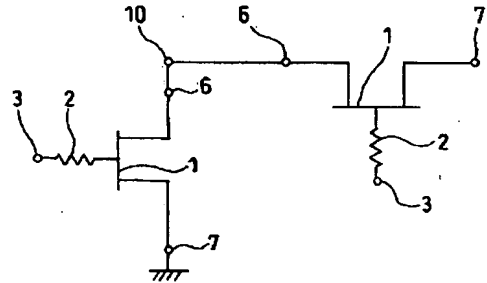
【図 4】



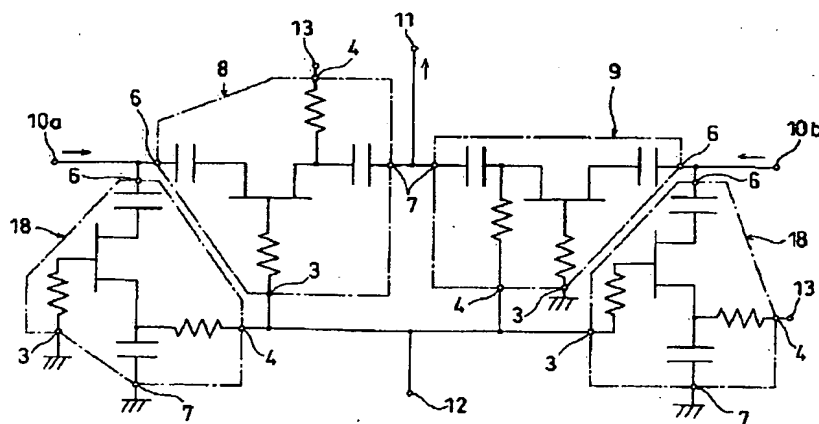
【図 5】



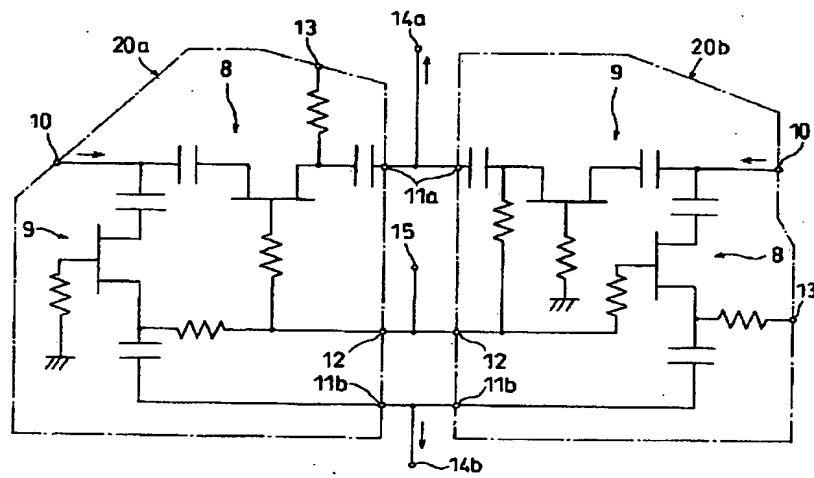
【図 9】



【図 6】



【図 7】



【図 10】

